

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月19日

出 願 番 号

Application Number:

特願2002-335764

[ST.10/C]:

[JP2002-335764]

出 願 人

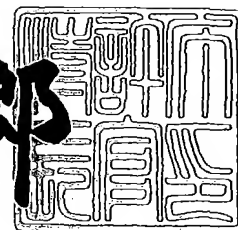
Applicant(s):

三菱電機株式会社

2002年12月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3098129

【書類名】 特許願

【整理番号】 541548JP01

【提出日】 平成14年11月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
H01L 21/768

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松沼 健司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に被加工膜を形成する工程と、
前記被加工膜上にマスク材を形成する工程と、
前記マスク材上にレジストパターンを形成する工程と、
前記レジストパターンをマスクとして前記マスク材をパターニングする工程と
、
パターニングされた前記マスク材を収縮させる工程と、
収縮した前記マスク材をマスクとして前記被加工膜をパターニングする工程と
、
前記マスク材を除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の製造方法において、
前記マスク材として金属膜を形成することを特徴とする半導体装置の製造方法

【請求項 3】 請求項 2 に記載の製造方法において、
前記マスク材としてルテニウム膜を形成し、
酸素を含むプラズマを用いて前記マスク材を除去するとともに、前記レジスト
パターンを除去することを特徴とする半導体装置の製造方法。

【請求項 4】 基板上に被加工膜を形成する工程と、
前記被加工膜上にマスク材としてルテニウム膜を形成する工程と、
前記マスク材上にレジストパターンを形成する工程と、
前記レジストパターンをマスクとして前記マスク材をパターニングする工程と
、
パターニングされた前記マスク材をマスクとして前記被加工膜をパターニング
する工程と、
前記マスク材を除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の製造方法において、
酸素を含むプラズマを用いて前記マスク材を除去するとともに、前記レジストパターンを除去することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の製造方法において、
前記基板上に金属材料が露出する状態で、前記マスク材を除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に微細パターンの形成方法に関するものである。

【0002】

【従来の技術】

従来、シリコン酸化膜、シリコン窒化膜、ポリシリコン等をマスク材として用いて、そのマスク材直下の被加工膜をエッチングする微細パターンの形成方法が知られている。

【0003】

【発明が解決しようとする課題】

しかしながら、被加工膜のマスク材に対するエッチング選択比が低いため、被加工膜をエッチングする際に、マスク材に肩削れが発生してしまう。そして、この肩削れの量が多い場合には、図 4 に示すように、マスク材直下の被加工膜（ポリシリコン膜）33 にも肩削れ 33a が発生してしまうという問題があった。なお、図 4 において、被加工膜 33 は、基板 31 上に形成されたゲート絶縁膜 32 上に形成されている。

【0004】

また、マスク材は、被加工膜をエッチングした後に不要となるため、除去する必要がある。しかし、従来は、パターニングされた被加工膜を削ることなく、マスク材のみを選択的に除去することが困難であった。このため、被加工膜 33 の膜厚が変わってしまうという問題があった。

従って、従来の半導体装置の製造方法では、パターンの劣化が起こってしまうという問題があった。

【 0 0 0 5 】

本発明は、上記従来の課題を解決するためになされたもので、被加工膜を削ることなく、マスク材を選択的に除去することを目的とする。また、本発明は、微細パターンを容易に形成することも目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

この発明に係る半導体装置の製造方法は、基板上に被加工膜を形成する工程と

前記被加工膜上にマスク材を形成する工程と、

前記マスク材上にレジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記マスク材をパターニングする工程と

パターニングされた前記マスク材を収縮させる工程と、

収縮した前記マスク材をマスクとして前記被加工膜をパターニングする工程と

前記マスク材を除去する工程と、

を含むことを特徴とするものである。

【 0 0 0 7 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一又は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【 0 0 0 8 】

実施の形態 1.

図 1 は、本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である。詳細には、図 1 は、A S I C 等における微細なゲート配線の形成方法を説明するための図である。

先ず、図1 (a) に示すように、基板11としてのシリコンウェハ上に、ゲート絶縁膜12としてのゲート酸化膜を膜厚5 nm程度で形成し、ゲート絶縁膜12上にゲート配線材料13としてのポリシリコン膜を膜厚150 nm程度で形成する。次に、ゲート配線材料13上にマスク材14としてのルテニウム (Ru) 膜を膜厚20 nm程度で形成する。そして、マスク材14上にレジストパターン15を形成する。

【0009】

次に、図1 (b) に示すように、レジストパターン15をマスクとしてマスク材14を異方性エッチングすることにより、マスク材パターン14aが形成される。この異方性エッチングは、例えば、ICPエッチング装置で行い、エッチング条件は次の通りである。

高周波電力：1500 W (上部) / 200 W (下部)

圧力：30 mT

ガス： $O_2 / Cl_2 = 100 / 10$ sccm

【0010】

次に、図1 (c) に示すように、マスク材パターン14aを等方性エッチングすることにより、マスク材パターン14aよりもパターン幅が細い微細なマスク材パターン14bが形成される。すなわち、等方性エッチングによりマスク材パターン14aを収縮 (シュリンク) 又は後退させる。この等方性エッチングは、例えば、ICP (Inductively Coupled Plasma) エッチング装置で行い、エッチング条件は次の通りである。

高周波電力：1500 W (上部) / 80 W (下部)

圧力：20 mT

ガス： $O_2 / Cl_2 = 160 / 20$ sccm

【0011】

そして、図1 (d) に示すように、レジストパターン15を除去する。

【0012】

次に、図1 (e) に示すように、マスク材パターン14bをマスクとしてゲート配線材料13を異方性エッチングすることにより、ゲート配線13aを形成す

る。この異方性エッチングは、例えば、ECRエッチング装置で行い、エッチング条件は次の通りである。

高周波電力：400W（上部）／30W（下部）

圧力：4mTorr

ガス：HBr／Cl₂／O₂＝70／30／50sccm

【0013】

最後に、図1（f）に示すように、マスク材パターン14bを除去することにより、ゲート絶縁膜12上にゲート配線13aが形成される。このマスク材パターン14bの除去は、例えば、ダウンフロー型アッシング装置で行い、アッシング条件は次の通りである。

マイクロ波電力：1400W

圧力：2Torr

ガス：O₂／N₂＝900／100sccm

温度：200℃

【0014】

以上説明したように、本実施の形態1では、金属膜であるルテニウム膜をマスク材として形成した。レジストパターン15をマスクとした異方性エッチングによりマスク材パターン14aを形成した後、等方性エッチングを施すことによりマスク材パターン14aを収縮させ、この収縮した微細なマスク材パターン14bをマスクとした異方性エッチングによりゲート配線13aを形成した。

【0015】

本実施の形態1によれば、ゲート配線材料13としてのポリシリコン膜は、マスク材14としてのルテニウム膜に対して高いエッチング選択比を有するため、マスク材の肩削れ等のパターン劣化を防止することができる。さらに、マスク材14としてのルテニウム膜の除去は、ゲート配線材料（ポリシリコン膜）やゲート絶縁膜（酸化膜）に対して高い選択比を有する。このため、ゲート配線13aを削ることなく、容易にマスク材パターン14bを選択除去することができる。よって、ゲート配線13aの膜厚変化を防止することができる。従って、所望の形状のゲート配線13aを容易に形成することができる。

【0016】

また、マスク材の収縮を容易に行うことができ、微細なマスク材パターン14bが容易に得られるため、これをマスクとして微細パターン（微細なゲート配線13a）を容易に形成することができる。

【0017】

なお、本実施の形態1では、マスク材14としてルテニウム膜を用いたが、これに限らず、タングステン（W）膜や窒化チタン（TiN）膜のような金属膜を用いてもよい。ここで、タングステン膜をマスク材14として用いる場合、マスク材の収縮や除去に H_2O_2 水溶液を用いることにより、ルテニウム膜をマスク材として用いる場合と同様の効果が得られる。また、窒化チタン膜をマスク材14として用いる場合には、マスク材の収縮や除去に H_2SO_4 水溶液を用いることにより、それらと同様の効果が得られる。

【0018】

また、本実施の形態1では、マスク材パターンを収縮させた後でレジストパターン15を除去しているが、順序を逆にしてもよい。すなわち、レジストパターン15をマスクとしたエッチングによりマスク材パターンを形成し、レジストパターン15を除去した後で、マスク材パターンを収縮させてもよい。この場合、収縮時にマスク材パターン上面もエッチングされるため、マスク材14の形成膜厚を例えば60nm程度に厚くする。

【0019】

実施の形態2.

図2は、本発明の実施の形態2による半導体装置の製造方法を説明するための断面図である。詳細には、図2は、図1と同様に、ASIC等における微細なゲート配線の形成方法を説明するための図である。

先ず、図2（a）に示すように、前述の実施の形態1と同様の方法（図1（a）参照）で、シリコンウェハ11上にゲート絶縁膜12、ゲート配線材料13、マスク材14としてのルテニウム膜（Ru膜）、及びレジストパターン15を形成する。

次に、図2（b）に示すように、実施の形態1と同様の方法（図1（b）参照

) で、マスク材パターン 14 a を形成する。

【0020】

次に、図 2 (c) に示すように、レジストパターン 15 とマスク材パターン 14 a とを等方性エッチングする。これにより、レジストパターン 15 とマスク材パターン 14 a とが収縮又は後退する。この等方性エッチングは、例えば、ICP エッチング装置で行い、エッチング条件は次の通りである。

高周波電力：1500W (上部) / 50W (下部)

圧力：5.0 mT

ガス： $O_2 / Cl_2 = 200 / 20$ sccm

【0021】

次に、図 2 (d) に示すように、収縮したレジストパターン 15 a 及びマスク材パターン 14 b をマスクとしてゲート配線材料 13 を異方性エッチングすることにより、ゲート配線 13 a を形成する。この異方性エッチングは、例えば、ECR エッチング装置で行い、エッチング条件は次の通りである。

高周波電力：400W (上部) / 30W (下部)

圧力：4 mTorr

ガス： $HBr / Cl_2 / O_2 = 70 / 30 / 50$ sccm

【0022】

最後に、図 2 (e) に示すように、レジストパターン 15 a とマスク材パターン 14 b を除去することにより、ゲート絶縁膜 12 上にゲート配線 13 a が形成される。このレジストパターン 15 a とマスク材パターン 14 b の除去は、例えば、ダウンフロー型アッシング装置で行い、アッシング条件は次の通りである。

マイクロ波電力：1400W

圧力：2 Torr

ガス： $O_2 / N_2 = 900 / 100$ sccm

温度：200℃

【0023】

以上説明したように、本実施の形態 2 では、レジストパターン 15 をマスクとした異方性エッチングによりマスク材パターン 14 a を形成した後、等方性エッ

チングによりレジストパターン 1 5 とマスク材パターン 1 4 a とを収縮させ、この収縮した微細なレジストパターン 1 5 a 及びマスク材パターン 1 4 b をマスクとした異方性エッチングによりゲート配線 1 3 a を形成した。その後、レジストパターン 1 5 a とマスク材パターン 1 4 b とを同時に除去した。

本実施の形態 2 によれば、ゲート配線 1 3 a 形成後に、マスク材パターン 1 4 b である R u 膜を除去する条件で、マスク材パターン 1 4 b とレジストパターン 1 5 とを同時に除去することができる。

従って、実施の形態 1 で得られる効果に加えて、R u 膜にパターン転写した後にレジストパターン 1 5 のみを除去する工程が不要であり、製造工程数を少なくすることができるという効果が得られる。

【 0 0 2 4 】

実施の形態 3 .

図 3 は、本発明の実施の形態 3 による半導体装置の製造方法を説明するための断面図である。詳細には、図 3 は、A S I C 若しくは D R A M 等のメモリ素子における金属配線に接続するヴィアホール形成方法を説明するための断面図である。

先ず、図 3 (a) に示すように、基板 (図示省略) 上に下層配線 2 1 を形成し、下層配線 2 1 上に層間絶縁膜 2 2 としてのシリコン酸化膜 (例えば、T E O S 膜、B S G 膜、B P S G 膜等) を膜厚 1 . 5 μ m 程度で形成する。次に、層間絶縁膜 2 2 上に、マスク材 2 4 としてルテニウム (R u) 膜を膜厚 3 0 n m 程度で形成する。そして、マスク材 2 4 上にレジストパターン 2 5 を形成する。

【 0 0 2 5 】

次に、図 3 (b) に示すように、レジストパターン 2 5 をマスクとしてマスク材 2 4 を異方性エッチングすることにより、マスク材パターン 2 4 a が形成される。この異方性エッチングは、例えば、I C P エッチング装置で行い、エッチング条件は次の通りである。

高周波電力 : 1 5 0 0 W (上部) / 2 0 0 W (下部)

圧力 : 3 0 m T

ガス : O ₂ / C l ₂ = 1 0 0 / 1 0 s c c m

【0026】

次に、図3(c)に示すように、レジストパターン25とマスク材パターン24aをマスクとして層間絶縁膜22を異方性エッチングすることにより、層間絶縁膜22の表面から下層配線21に達するヴィアホール26を形成する。この異方性エッチングは、例えば、ECRエッチング装置で行い、エッチング条件は次の通りである。

高周波電力：1700W（上部）／700W（下部）

圧力：4mTorr

ガス： C_4F_8 ／Ar／CO=25／200／20sccm

【0027】

最後に、図3(d)に示すように、レジストパターン25とマスク材パターン24aを除去することにより、層間絶縁膜22内に、下層配線21に繋がるヴィアホール26が形成される。このレジストパターン25とマスク材パターン24aの除去は、例えば、ダウンフロー型アッシング装置で行い、アッシング条件は次の通りである。

マイクロ波電力：1400W

圧力：2Torr

ガス： O_2 ／ N_2 =900／100sccm

温度：200℃

【0028】

以上説明したように、本実施の形態3では、レジストパターン25をマスクとした異方性エッチングによりマスク材パターン24aを形成した後、レジストパターン25とマスク材パターン24aをマスクとした異方性エッチングにより、層間絶縁膜22内に下層配線21に繋がるヴィアホール26を形成した。その後、マスク材パターン24aを除去した。

【0029】

本実施の形態3によれば、マスク材としてのルテニウム膜の除去は、層間絶縁膜、金属材料及び基板材料に対して高い選択比を有する。このため、層間絶縁膜22、下層配線21および基板を削ることなく、容易にマスク材パターン24a

を選択除去することができる。特に、ルテニウム膜をアッシングによりドライ除去しているため、配線のような金属材料が基板表面に露出した状態でも、ウェットエッチングする場合のように金属材料を溶かしてしまわない。従って、層間絶縁膜や下層配線を削ることなく、すなわちパターンの劣化がなく、所望の形状のビアホール 26 を容易に形成することができる。

【0030】

また、本実施の形態 3 では、ビアホール 26 形成後に、マスク材パターン 24 a を除去する条件で、マスク材パターン 24 a とレジストパターン 25 とを同時に除去することができる。従って、Ru 膜にパターン転写した後にレジストパターン 25 のみを除去する工程が不要であり、製造工程数を少なくすることができるという効果が得られる。

【0031】

なお、本実施の形態 3 では、下層配線 21 に繋がるビアホールの形成方法について説明したが、基板に繋がるコンタクトホールの形成にも本発明を適用可能である。この場合、マスク材の除去にウェットエッチングを用いることができるため、マスク材としてルテニウム膜以外の金属膜であるタングステン膜や窒化チタン膜を形成することができる。タングステン膜の除去には H_2O_2 水溶液を用い、窒化チタン膜の除去には H_2SO_4 水溶液を用いればよい。

【0032】

また、製造工程数は増えてしまうが、実施の形態 1 のように、マスク材パターン 24 a を形成した後にレジストパターン 25 のみを除去し、マスク材パターン 24 a をマスクとしてビアホール 26 を形成してもよい。

【0033】

【発明の効果】

本発明によれば、被加工膜を削ることなく、マスク材を選択的に除去することができる。また、本発明によれば、微細パターンを容易に形成することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 による半導体装置の製造方法を説明するた

めの断面図である。

【図 2】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための断面図である。

【図 3】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための断面図である。

【図 4】 従来の半導体装置の製造方法における問題点を説明するための断面図である。

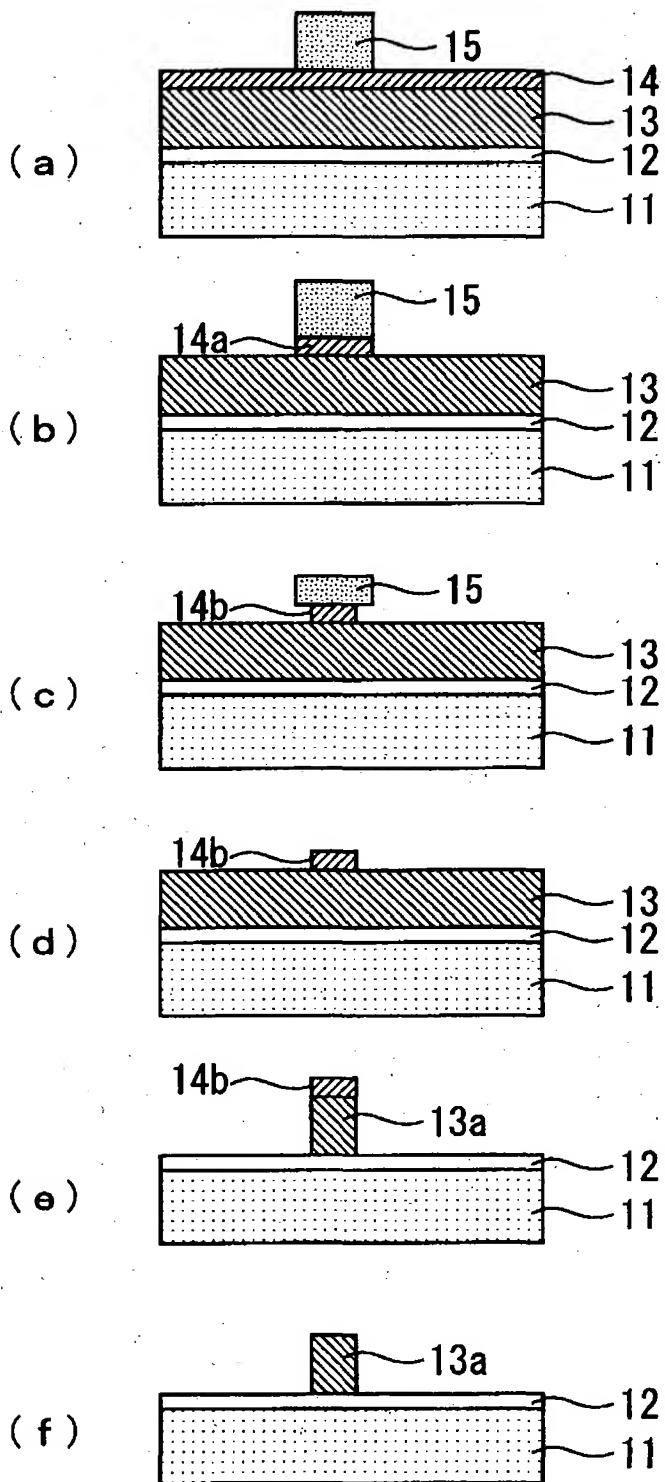
【符号の説明】

1 1 基板（シリコンウェハ）、 1 2 ゲート絶縁膜（ゲート酸化膜）、
1 3 ゲート配線材料（ポリシリコン膜）、 1 3 . a ゲート配線、 1 4 マ
スク材（ルテニウム膜）、 1 4 a マスク材パターン、 1 4 b マスク材パ
ターン、 1 5 レジストパターン、 2 1 下層配線、 2 2 層間絶縁膜（
シリコン酸化膜）、 2 4 マスク材（ルテニウム膜）、 2 4 a マスク材パ
ターン、 2 5 レジストパターン、 2 6 ヴィアホール。

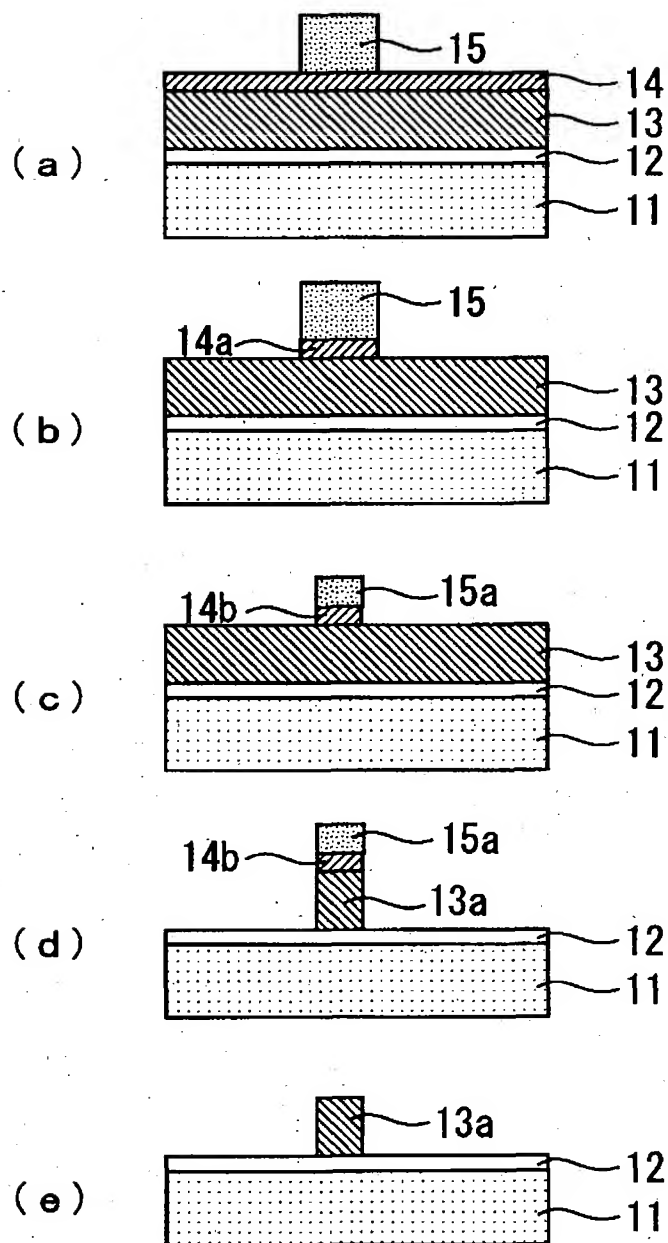
【書類名】

図面

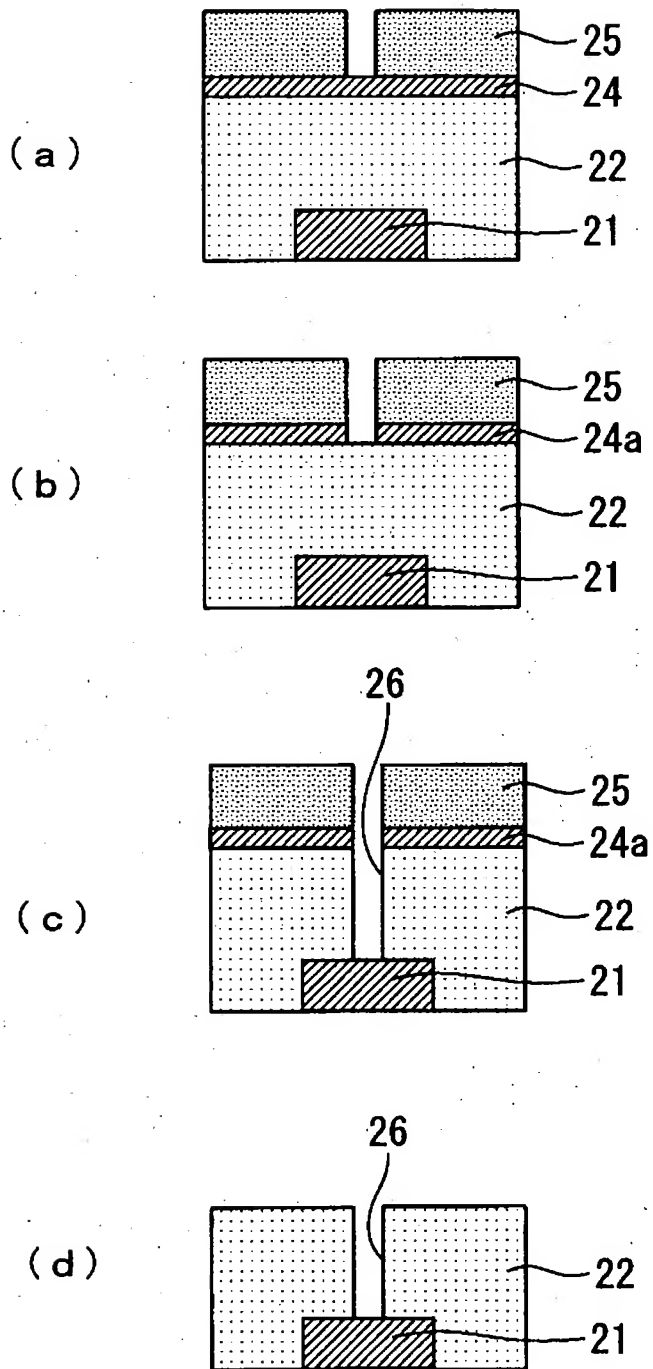
【図 1】



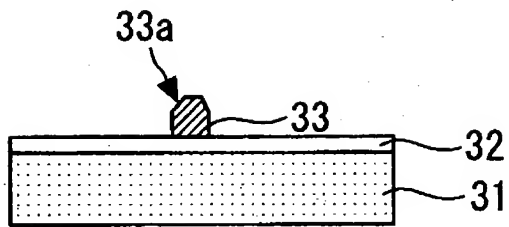
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 被加工膜を削ることなく、マスク材を選択的に除去する。微細パターンを容易に形成する。

【解決手段】 基板 11 上にゲート酸化膜 12 を形成し、ゲート酸化膜上にポリシリコン膜 13 を形成し、ポリシリコン膜上にマスク材としてのルテニウム膜 14 を形成し、ルテニウム膜上にレジストパターン 15 を形成する。レジストパターン 15 をマスクとしてルテニウム膜 14 をパターニングした後、パターニングされたルテニウム膜 14 a を収縮させる。収縮したルテニウム膜 14 b をマスクとしてポリシリコン膜 13 をパターニングした後、ルテニウム膜 14 b を除去する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社